

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-182870

(P2000-182870A)

(43) 公開日 平成12年6月30日 (2000. 6. 30)

(51) Int.Cl. ⁷	識別記号	F I	ターマコード* (参考)
H 0 1 F 41/04		H 0 1 F 41/04	C 5 E 0 6 2
17/00		17/00	A 5 E 0 7 0

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平10-358683

(22) 出願日 平成10年12月17日 (1998. 12. 17)

(71) 出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72) 発明者 佐藤 真一

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(74) 代理人 100081411

弁理士 三澤 正義

Fターム(参考) 5E062 DD01 FF03

5E070 AA01 AB02 BA01 CB12 CB18

CB20 CC10 DA15 EA01

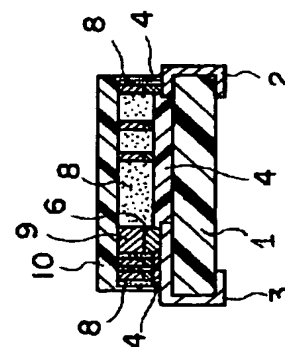
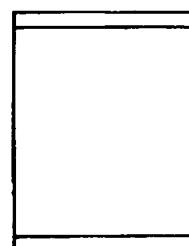
(54) 【発明の名称】 チップインダクタの製造方法およびチップインダクタ

(57) 【要約】

【課題】 広範囲の基板材料を採用することができ、端部電極の取付け強度が高く、加工作業性および加工コストに優れたチップインダクタの提供。

【解決手段】 チップインダクタの製造において、銅箔積層基板(1)の銅箔をパターンニングして形成された端部電極である外部電極(2)および引出し電極(3)、ならびに、前記端部電極上のコンタクト領域(5)以外の基板表面全面に設けた絶縁層(4)上に導電性極薄膜(6)を形成し、そして前記導電性極薄膜上の導体パターン以外の領域にレジスト(7)を形成し、前記導体パターン上に電解メッキ法により導体層(8)を形成した後、前記レジストを剥離すると共にその下部に存在した導電性極薄膜を除去して形成された導体パターンを設ける。素子形成前に端部電極を形成するのでその取付け強度が高くなり、真空メッキ法を採用しないので加工作業性が向上し加工コストとが抑制されると同時に、広範囲の基板材料が使用可能となる。

(1)



【特許請求の範囲】

【請求項 1】 端部電極を有する銅箔有機基板上に絶縁層を形成する工程、

前記絶縁層上に導電性極薄膜を形成する工程、

前記導電性極薄膜上の導体パターン形成領域にレジストを形成する工程、

前記レジスト形成領域以外の前記導電性極薄膜を除去する工程、

前記レジストを剥離する工程、

前記導電性極薄膜からなる導体パターン形成領域以外の領域に層間絶縁層を形成する工程、および前記層間絶縁層に囲まれた導体パターン形成領域上に電解メッキ法により導体層を形成する工程を少なくとも含むことを特徴とするチップインダクタの製造方法。

【請求項 2】 真空メッキ工程を含まないことを特徴とする請求項 1 に記載のチップインダクタの製造方法。

【請求項 3】 前記端部電極が外部電極および引出し電極であり、且つ前記絶縁層を形成する工程が前記端部電極上のコンタクト領域以外の基板上側表面全面に前記絶縁層を形成する工程であり、

前記外部電極および前記引出し電極を前記基板表面に導体ペーストを印刷、乾燥および焼成して同時に形成する工程をさらに含むことを特徴とする請求項 1 または 2 に記載のチップインダクタの製造方法。

【請求項 4】 請求項 1～3 に記載のチップインダクタの製造方法により製造されたことを特徴とするチップインダクタ。

【請求項 5】 基板が銅箔有機基板であり、且つ 1～10 の範囲のアスペクト比を有する導体パターンを有することを特徴とするチップインダクタ。

【請求項 6】 前記導体パターンが導電性極薄膜と導体層とからなることを特徴とする請求項 5 に記載のチップインダクタ。

【請求項 7】 少なくとも前記導体パターンと同じ厚みである層間絶縁層と、前記導体パターンと前記層間絶縁層を被覆する保護層とをさらに有することを特徴とする請求項 5 または 6 に記載のチップインダクタ。

【請求項 8】 前記導体パターンが螺旋状導体パターンであり、さらに、前記外部電極および前記引出し電極が前記基板に積層された銅箔から形成されていることを特徴とする請求項 5～7 のいずれか 1 項に記載のチップインダクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、携帯電話等の電子機器に使用されるチップインダクタおよびその製造方法に関する。

【0002】

【従来の技術】 近年、携帯電話等の電子機器の小型化、高集積化および高周波化に伴い、小型で表面実装可能な

チップ型のインダクタ素子、即ちチップインダクタに対する需要が急増している。

【0003】 そのようなチップインダクタとしては、基板上に別体としての巻線をマウントして全体を樹脂外装して製造されるモールドタイプのチップインダクタ、フェライトまたはセラミックのグリーンシートまたはペーストを利用して導電体と絶縁体とを交互に積層印刷した後焼成して製造される積層タイプのチップインダクタ、ならびに絶縁基板上に例えば螺旋状の導電体パターン（螺旋状導体パターン）を形成して製造される平面タイプのチップインダクタ等が挙げられるが、現時点では、小型化、集積化や狭公差特性の観点から有利な平面タイプのチップインダクタが主流となっている。

【0004】 従来、平面チップインダクタの製造には、強度および耐ストレス性に優れたガラス、アルミナまたはセラミック等の無機基板が使用されている。

【0005】 そして、それらの基板上に設けられる螺旋状導体パターンは、その外周端に接続する端子電極（外部電極）と共に、導体ペーストを塗布して焼き付ける厚膜法や蒸着およびスパッタリング等の真空メッキ法等を用いて基板上に成膜した後、主としてウェットエッチングによりエッチングしてパターン形成し、その後、前記導体パターンの内周端を、前記導体パターン上に設けた例えば空隙、絶縁ペーストまたは絶縁樹脂等からなる絶縁層を貫通する孔を介して導体パターン形成面側で、あるいは基板を貫通する孔を介して導体パターン形成面の裏面側で外周端とは異なる端子電極に接続して引出し電極を形成することが一般的である（例えば、特開平 9-129471 号、特開平 9-191167 号、特開平 9-199365 号参照）。

【0006】 そして、例えば V カットマシン（スリッタ）により断面 V 形の溝を形成して分割するか、ダイシングソーでダイシングすることによってチップ化し、その後、チップの両端面に、チップ内部に形成された電極と接続するように電極ペーストを塗布して端面電極とし、その後焼成して外部電極を完成させている。

【0007】 このとき、導体パターンの膜厚を厚くして、導体パターンの導体抵抗を抑え、Q 特性を向上させることが望ましい。

【0008】

【発明が解決しようとする課題】 しかしながら、上記した従来の製造方法には次のような問題点がある。即ち、現在チップインダクタに使用されている無機基板の誘電率は、例えばアルミナの誘電率 9.3 等のように、一般的には 6～10 の範囲にあるために、回路の高周波特性の向上が難しい。また、無機基板はその硬度が高いためチップ化のためのダイシングによる切断が困難で、生産性およびコストの面で問題がある。

【0009】 また、従来の製造方法においては、インダクタンス取得範囲や Q 特性等の向上を図り螺旋状導体ベ

ーストの膜厚を厚くすると、成膜後のエッチング時間が長くなるために、目的とする深さ方向だけでなく側面方向も腐食されてサイドエッチングが生じてしまい、導体パターンの寸法精度が粗くなり、インダクタンス特性のパラッキが大きくなってしまう。これを避けるために、予め基板に導体パターンと同一形状の凹部を設けて膜厚をかせぐことが提案されている（特開平9-129471号参照）が、基板の加工は製品強度および加工コストの点に問題がある。

【0010】さらに、従来法による導体パターンの成膜に繁用される蒸着やスパッタリング等の真空メッキ法は、基板等の部材に強い熱ストレスを与えるので、エッチング時の耐腐食性と同時に耐熱ストレス性をも考慮して使用材料を選択する必要がある、真空メッキ法を採用する従来の製造方法においては、使用可能な基板材料が限られるという問題がある。

【0011】また、従来のチップインダクタの製造方法においては、外部電極、特に螺旋状導体パターンを有するインダクタの引出し電極を素子作製の前後に真空メッキ法や印刷法等を用いて設けることが多く、基板が何度も強い熱ストレスに晒されると同時に、素子に影響しない温度で焼成等の熱処理を行うために外部電極の取付け強度の向上にも限界があるという問題もある。

【0012】本発明は、上記課題を鑑みてなされたものであり、従来よりも広範囲の基板材料を採用することができ、外部電極の取付け強度が高く、加工作業性および加工コストに優れたチップインダクタおよびその製造方法の提供を目的とする。

【0013】

【課題を解決するための手段】上記課題を解決するために、本発明のチップインダクタの製造方法は、端部電極を有する銅箔有機基板上に絶縁層を形成する工程、前記絶縁層上に導電性極薄膜を形成する工程、前記導電性極薄膜上の導体パターン形成領域にレジストを形成する工程、前記レジスト形成領域以外の前記導電性極薄膜を除去する工程、前記レジストを剥離する工程、前記導電性極薄膜からなる導体パターン形成領域以外の領域に層間絶縁層を形成する工程、および前記層間絶縁層に囲まれた導体パターン形成領域上に電解メッキ法により導体層を形成する工程を少なくとも含むことを特徴とする。このような構成により、本発明のチップインダクタの製造方法は、サイドエッチングを最小限に抑えるので、高アスペクト比の導体パターンを有する高周波特性に優れたチップインダクタを提供し得る。

【0014】好ましくは、請求項1において、真空メッキ工程を含まないことを特徴とする。このような構成により、使用基板の選択範囲が広がると共に、製造コストの低減化を図ることができる。

【0015】また、好ましくは、請求項1および2において、前記端部電極が外部電極および引出し電極であ

り、且つ前記絶縁層を形成する工程が前記端部電極上のコンタクト領域以外の基板上側表面全面に前記絶縁層を形成する工程であり、前記外部電極および前記引出し電極を前記基板表面に導体ペーストを印刷、乾燥および焼成して同時に形成する工程をさらに含むことを特徴とする。このような構成により、外部電極の取付け強度が高いチップインダクタを提供し得る。

【0016】さらに、上記課題を解決するために、本発明のチップインダクタは、請求項1～3に記載のチップインダクタの製造方法により製造されたことを特徴とする。このような構成により、本発明のチップインダクタは、高アスペクト比の導体パターンを有し、高周波特性に優れたチップインダクタとなる。

【0017】さらに、上記課題を解決するために、本発明のチップインダクタは、基板が銅箔有機基板であり、且つ1～10の範囲のアスペクト比を有する導体パターンを有することを特徴とする。このような構成により、本発明のチップインダクタは、優れた高周波特性を有する。

【0018】好ましくは、請求項5において、前記導体パターンが導電性極薄膜と導体層とからなることを特徴とする。このような構成により、導体パターンを容易に高アスペクト比とすることができる。

【0019】また、好ましくは、請求項5および6において、少なくとも前記導体パターンと同じ厚みである層間絶縁層と、前記導体パターンと前記層間絶縁層を被覆する保護層とをさらに有することを特徴とする。このような構成により、導体パターンを容易且つ安価に高アスペクト比とすることができる。

【0020】また、好ましくは、請求項5～7において、前記導体パターンが螺旋状導体パターンであり、さらに、前記外部電極および前記引出し電極が前記基板に積層された銅箔から形成されていることを特徴とする。このような構成により、外部電極の取付け強度の向上を図ることができる。

【0021】

【発明の実施の形態】以下に、本発明のチップインダクタを、1つの実施の形態を例示して図面を参照しながらより詳細に説明する。

【0022】図1～図5は、本発明によるチップインダクタの1実施形態の製造工程を模式的に示す図である。なお、図2(a)～図5(j)は、銅箔積層基板上で形成した素子パターンの1つを拡大して表した部分拡大図であり、それぞれ上側の図は上面図、下側の図は図2(a)に示した線分I-Iにおける断面図である。

【0023】まず、本発明のチップインダクタの製造にあたっては、図1(a)に示すような銅箔積層基板1、例えば銅箔積層有機樹脂基板を採用し、その銅箔をウェットエッチング等によりパターニングして外部電極2および引出し電極3を形成する。図1(b)に前記基板1

の銅箔をパターンニングして前記電極 2 および 3 を形成した状態を示し、それにより形成された素子パターン 1 つ 1-A を図 2 (a) に示す。勿論、有機基板ではなく従来用いられているフェライト基板等の無機基板に銅箔を施した基板を用いても本発明は実施し得るが、真空メッキ法を採用せず広範囲の基板材料を使用し得るという本発明の利点を生かして、従来採用し難かった、低誘電率 (例えば 2 ~ 3) 且つ低硬度の有機基板を用いることで、製品の高周波特性および生産性の向上を図ることができる。本発明に用いる銅箔積層基板 1 には特に制限は無く、誘電率、硬度およびコスト等を勘案して種々の市販基板から自由に選択し得るが、例えばエポキシ樹脂 (FR-4) 製や BT レジン製等の銅箔積層有機基板を好適に使用することができる。

【0024】図 2 (b) は、図 2 (a) の前記基板 1 の全表面に絶縁層 4 を印刷した後にフォトリソグラフィまたはレーザ等を用いてコンタクト 5 を形成した状態を示している。このとき、絶縁層 4 を構成する絶縁材料としては、製品実装時のハンダ付け温度 (例えば 200 ~ 300 °C 程度) に耐え得る耐熱性を有し、低誘電率で絶縁性を確保し得るものであれば特に制限は無いが、例えば BT レジン、エポキシ樹脂やポリイミド樹脂のような有機樹脂組成物を例示することができる。

【0025】図 2 (c) は、図 2 (b) の前記絶縁層 4 上に、銅等の導電性金属を無電解メッキ等の手法により塗布して下地電極である導電性極薄膜 6 を形成した状態を示している。導電性極薄膜 6 の厚みは、通常は 0.05 ~ 3.0 μm 程度、好ましくは 0.1 ~ 1.0 μm 程度とすることができる。しかし、所望によっては、この導電性極薄膜 6 を設けずに、前記絶縁層 4 上に後述の層間絶縁層 8 を直接設けて螺旋状パターンを形成し、そのパターン領域の前記絶縁層 4 上に後述の導体層 9 を無電解メッキ法により形成させることも可能である。

【0026】図 3 (d) は、図 2 (c) の前記導電性極薄膜 6 上の螺旋状パターン部分の領域をマスクしてフォトリソグラフィやレーザ等によりレジスト 7 を形成した状態を示している。前記レジスト 7 の材料には、特に制限は無く、通常用いられるレジスト材料の中から自由に選択することができる。

【0027】図 3 (e) は、図 3 (d) の前記レジスト 7 に覆われた螺旋状パターン部位の他の領域で露出した導電性極薄膜 6 をエッチング等によって除去した状態を示している。

【0028】図 3 (f) は、慣用の手法に従い前記基板 1 を剥離液に浸漬して前記レジスト 7 を溶解して剥離した状態を示している。

【0029】図 4 (g) は、前記導電性極薄膜 6 からなる螺旋状パターン部位および/または外部電極 2 と引き出し電極 3 のスナップ隣接部位を除く領域をマスクしてフォトリソグラフィやレーザ等により層間絶縁層 8 を形

成した状態を示している。前記層間絶縁層 8 の材料には、特に制限は無く、通常用いられる絶縁材料、例えばポリイミド樹脂、エポキシ樹脂またはガラスペースト等の中から自由に選択することができる。この層間絶縁層 8 の厚みは、少なくとも最終的に形成される螺旋状導体パターンの厚み以上であり、好ましくは螺旋状導体パターンの厚みと同じ厚みである。

【0030】図 4 (h) は、図 4 (g) の前記層間絶縁層 8 に囲まれた螺旋状パターン部位に銅のような導電性金属を電解メッキ等の手法により塗布して導体層 9 を形成した状態を示している。この導体層 9 の材料は、導電性材料であれば特に制限されるものではないが通常は銅や銀等の導電性金属であり、そして前記導電性極薄膜 6 や前記電極 2、3 と同じで材料あることも、あるいは互いに相異なる材料であることもできる。このとき形成される導体パターン、即ち導電性極薄膜 6 と導体層 9 からなる螺旋状導体パターンは、アスペクト比が高いほど電気特性に優れるが、コスト等も勘案して、通常は 1 ~ 10 の範囲、好ましくは 1.5 ~ 3 の範囲のアスペクト比である。

【0031】図 4 (i) は、前記基板 1 上側表面上の成膜を全て包み込む保護層 10 を形成した状態を示している。この保護層 10 の材料としては、製品実装時のハンダ付け温度 (例えば 200 ~ 300 °C 程度) に耐え得る耐熱性を有し、低誘電率で絶縁性を確保し得るものであれば特に制限は無いが、例えば、BT レジン、エポキシ樹脂やポリイミド樹脂のような有機樹脂組成物を例示することができる。

【0032】図 5 (i) は、前記基板 1 を素子パターンに沿ってダイシングにより切断してチップ化した後、転写法、浸漬法または印刷法等の手法を用いて、それぞれチップの対向する端部に設けた前記外部電極 2 および前記引出し電極 3 の側面を形成して得られたチップインダクタを示している。

【0033】この図 5 (i) から、本実施の形態では、外部電極 2 と引出し電極 3 を同時に形成しているのが、基板 1 の上側表面上にこれらの電極 2 および 3 が直接形成された構造となっていることがわかる。また、導電性極薄膜 6 の上に導体層 8 が形成されて一体となって螺旋状導体パターンを構成している。

【0034】本実施の形態によれば、素子形成前に前記の 2 つの電極 2 および 3 を同時に形成するので、素子を損傷することなく、導体ペーストの印刷等の工法により強固な電極を簡単に製造することができる。そして、電極 2 および 3 の形成に真空メッキ法工程を含まないので、成膜膜厚の制限も必要がなく、さらには、加工時間が短縮する等、生産性が向上し、基板等の材料選択の幅が広がる。従って、従来採用が難しかった銅箔積層有機基板を使用することができ、そのために、従来よりも低い誘電率 (2 ~ 3) および/または切削性に適した硬度

の低い材料を選定して高周波特性および生産性の向上を図ることができる。

【0035】また、本発明によれば、前記導電性極薄膜 6 の除去にウエットエッチング法を採用した場合でも、エッチング除去すべき導電性極薄膜 6 の厚みが薄いためにエッチング時間が従来よりも極めて短時間ですむので、図 6 に示すような激しいサイドエッチングが生じてマスク 10 下部の導体パターン 11 のアスペクト比が低下し且つ不均一となる恐れが無い。即ち、図 7 に模式的に示すように、本発明においては、導電性極薄膜 6 の上に所望のパターンでレジスト 7 を形成し、そのパターン以外の領域の導電性極薄膜 6 をエッチング除去した後にレジスト 7 を剥離し、次いで導電性極薄膜 6 を囲む層間絶縁層 8 を形成し、その隙間を埋めるように導体層 9 をメッキ塗布するので、本発明においては導電性極薄膜 6 のみをエッチング除去することによってエッチング時間は従来よりも非常に短く、サイドエッチングは全く生じないかあるいは生じたとしても極めて僅かである。そのために、従来の方法による導体パターンのアスペクト比はサイドエッチングの影響により精々 0.3~0.5 程度であったにも拘らず、本発明により始めて、1~10 という高いアスペクト比を均一に有する導体パターンを得ることが可能となった。

【0036】さらに、本発明のチップインダクタに用いる絶縁材料の一部または全て、即ち基板 1、絶縁層 4、層間絶縁層 8 および保護層 10 の一部または全てとして、フェライトのような磁性体を含む材料を用いた場合には、本発明のチップインダクタの特性は、磁性体を含まない材料のみを用いた場合と比べて、高周波特性は若干低いものの、取得インダクタンス範囲が広く、直流抵抗値が低減され得るので、高周波領域以外の用途、例えば携帯電子機器の電源回路に使用し得るものとなる、従って、本発明によれば、チップインダクタの製造にあたって、所望の特性に応じた使用材料を選択して製品設計を行うことにより、非常に広範な用途に好適なチップインダクタを得ることができる。

【0037】ここまで、螺旋状の導体パターンを有するチップインダクタを例示して本発明を説明してきたが、本発明のチップインダクタはこれに限られるものではなく、全ての平面チップインダクタを包含する。

【0038】

【発明の効果】以上に詳述した様に、本発明のチップインダクタの製造方法およびチップインダクタにおいては、ウエットエッチングを行わないか、あるいはウエットエッチングを行う場合でもエッチング除去すべき導体材料が極薄膜だけであり、従来よりも短時間で済むので、サイドエッチングが生じないかまたは僅かしか生じないために、従来よりも高いアスペクト比および寸法精度で螺旋状導体を形成可能であり、導体が螺旋状導体であるときには螺旋状導体パターンのラインピッチを短縮

し、最大巻数を増大させることができる。また、インダクタンス取得範囲の拡大および Q 特性の向上を図ることができる。さらに、エッチング除去する導体材料の分量が少量であるので、生産性および廃棄物による環境問題の点で有利である。

【0039】上記に加えて、本発明の方法は、真空メッキ工程を含まないので、基板等にかかる熱ストレスが小さくなり基板のソリの発生がなく、真空メッキ工程採用時にソリの発生を防ぐために必要とされる成膜膜厚の制限も必要がない。また、真空中での加工がないので、使用材料のアウトガス性に対する制限が緩和される。さらに、真空引きや大気化が必要無いので、加工時間が短縮する等、生産性が向上し、基板等の材料選択の幅が広がり、銅箔を積層した有機材料を使用することができ、そのために、従来よりも低い誘電率 (2~3) の材料を選定して高周波特性の向上を図ることができると共に、切削性に適した硬度の低い材料を選定して生産性の向上を図ることができる。

【0040】そして、本発明においては、素子形成前に端部電極を形成するので、素子を損傷することなく、導体ペーストの印刷等の工法により強固な電極を簡単に製造することができる。

【0041】さらに、本発明においては、導体パターンを成膜する工法として部材にストレスの生じない電解メッキ工法を採用するので、切削性に優れた有機基板を使用し、従来よりも容易に歩留まり良くダイシングしてチップ化することができる。

【0042】以上の諸利点から、本発明によれば、製品トータルコストを大幅に低減することが可能である。

【図面の簡単な説明】

【図 1】本発明によるチップインダクタの 1 実施形態に用いる銅箔積層基板を示す図である。

【図 2】本発明によるチップインダクタの 1 実施形態の製造工程の一部を模式的に示す図である。

【図 3】本発明によるチップインダクタの 1 実施形態の製造工程の一部を模式的に示す図である。

【図 4】本発明によるチップインダクタの 1 実施形態の製造工程の一部を模式的に示す図である。

【図 5】本発明によるチップインダクタの 1 実施形態を模式的に示す図である。

【図 6】従来の製造方法により生じるサイドエッチングを模式的に示す図である。

【図 7】本発明のチップインダクタの製造方法における導体パターン形成工程を説明する図である。

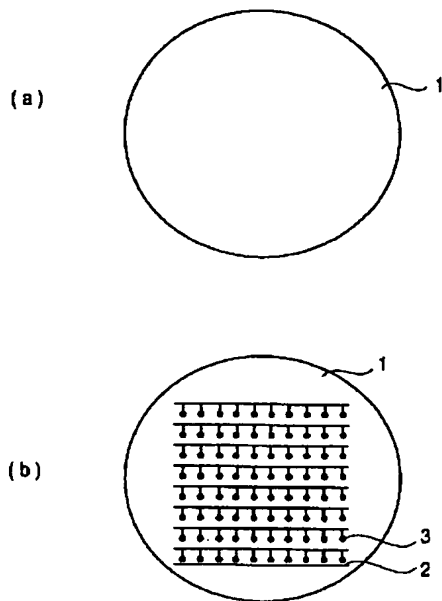
【符号の説明】

- 1 基板
- 1-A 素子パターン
- 2 外部電極
- 3 引出し電極
- 4 絶縁層

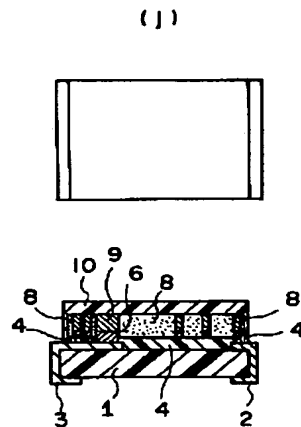
- 5 コントラクト
6 導電性極薄膜
7 レジスト
8 導体層

- 9 保護層
10 マスク
11 導体パターン

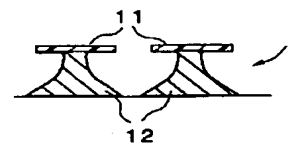
【図1】



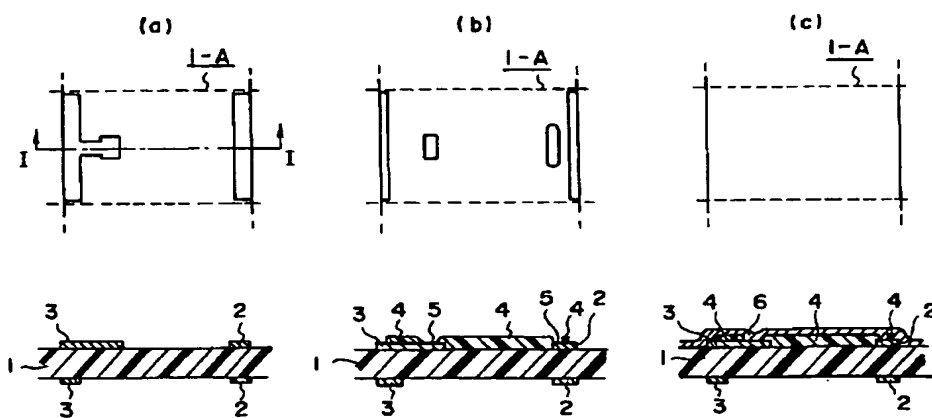
【図5】



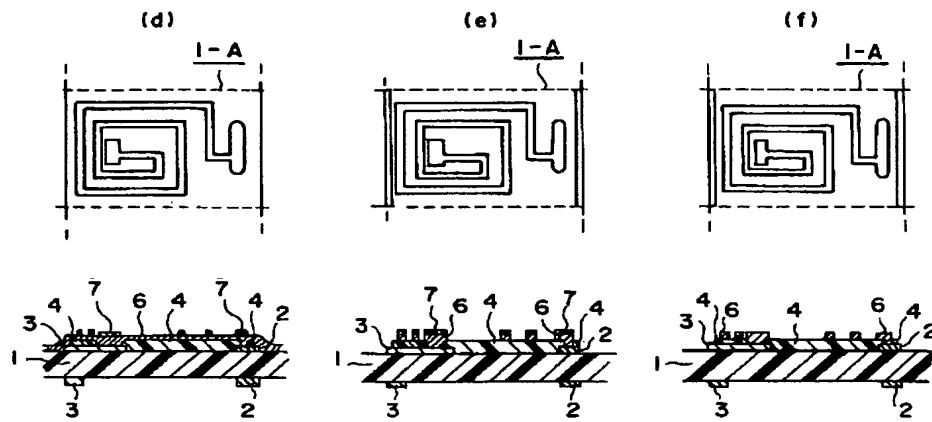
【図6】



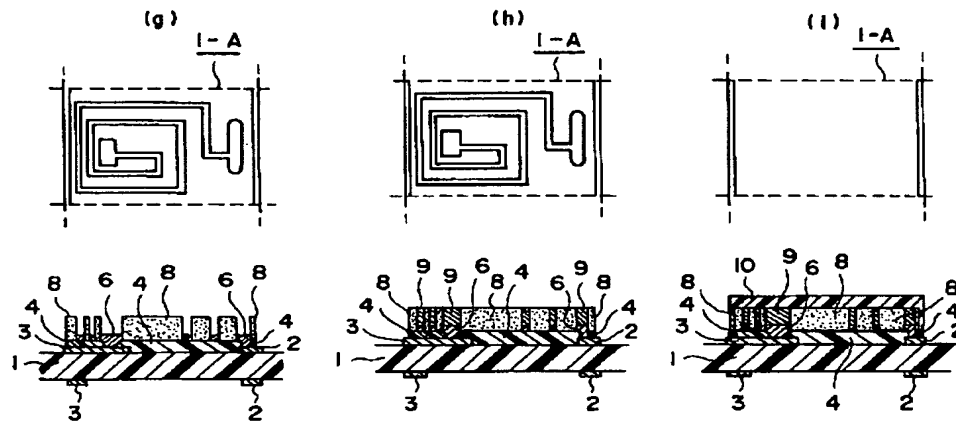
【図2】



【図3】



【図4】



【図7】

